

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-309014

(43)Date of publication of application : 30.10.1992

(51)Int.Cl.

H03L 7/08

(21)Application number : 03-341535

(71)Applicant : HUGHES AIRCRAFT CO

(22)Date of filing : 24.12.1991

(72)Inventor : SHAHRIARY IRADJ
MCNAB KEVIN M

(30)Priority

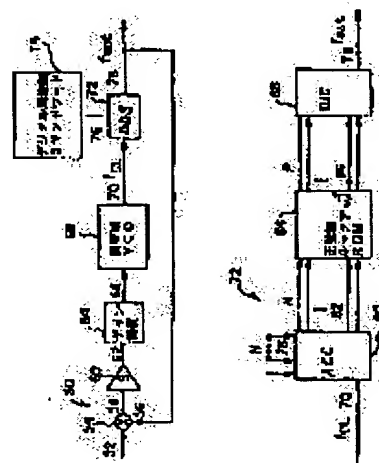
Priority number : 90 633864 Priority date : 26.12.1990 Priority country : US

(54) PHASE LOCKED LOOP FREQUENCY FOLLOWING-UP DEVICE INCLUDING DIRECT DIGITAL SYNTHESIZER

(57)Abstract:

PURPOSE: To provide a single phase locked loop which can be used in a wide band carrier following-up and clock reproducing system gives a wide control range.

CONSTITUTION: A DC signal indicating the phase difference between an input signal changing with time and a feedback signal is generated. The DC signal is supplied to a narrow band voltage controlled oscillator 68 which converts back the DC signal to an AC signal. The AC signal has the level shifted to generate a clock pulse to an accumulator 80 of a direct digital synthesizer 72. A digital command word indicating rough adjustment of an input frequency is supplied to the accumulator 80. A clock pulse from the narrow band VCO 68 provides fine adjustment of the input signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

1

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-309014

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/08		9182-5 J	H 0 3 L 7/08	Z

審査請求 有 請求項の数 5 (全 9 頁)

(21) 出願番号	特願平3-341535	(71) 出願人	390039147 ヒューズ・エアクラフト・カンパニー HUGHES AIRCRAFT COMPANY アメリカ合衆国、カリフォルニア州 90045-0066、ロサンゼルス、ヒューズ・ テラス 7200
(22) 出願日	平成3年(1991)12月24日	(72) 発明者	イラディ・シャーリアリ アメリカ合衆国、カリフォルニア州 90403、サンタ・モニカ、ユークリッド・ ストリート 837
(31) 優先権主張番号	6 3 3 8 6 4	(74) 代理人	弁理士 錦江 武彦
(32) 優先日	1990年12月26日		
(33) 優先権主張国	米国 (US)		

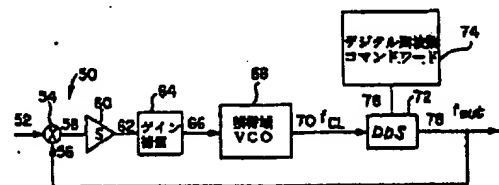
最終頁に続く

(54) 【発明の名称】 直接デジタル・シンセサイザーを含むフェーズ・ロック・ループ周波数追従装置

(57) 【要約】

【目的】 広帯域搬送波追従及びクロック再生システムに使用され、非常に広範囲の調節範囲を与える単一のフェーズ・ロック・ループ (50、350) を提供する。

【構成】 時間と共に変化する入力信号と、帰還信号との間の位相差を示すDC信号が形成される。DC信号はそのDC信号をAC信号に戻す狭帯域電圧制御オシレータ (68) に供給される。AC信号はレベルシフトされ、直接デジタルシンセサイザー (72) のアキュムレータ (80) に対してクロックパルスが形成される。又、入力周波数の荒い調整を示すデジタル・コマンドワードがアキュムレータ (80) に供給される。狭帯域VCO (68) からのクロックパルスは入力信号の微調整を提供する。



1

【特許請求の範囲】

【請求項1】 フェーズ・ロック・ループにおいて、時間と共に変化する入力信号及び帰還信号にตอบสนองして、位相検出信号を発生する位相検出器と、及び前記位相検出信号にตอบสนองして、前記入力信号を示す出力を発生する直接デジタル・シンセサイザと、ここで前記出力信号は帰還信号としても作用し、を具備することを特徴とするフェーズ・ロック・ループ。

【請求項2】 前記位相検出信号を受信して、その信号が前記直接デジタル・シンセサイザに受信される前に、その信号を発振形態に変換する電圧制御オシレータと、ここで前記発振形態位相検出信号は、前記直接デジタル・シンセサイザに対するロック信号として作用し、を更に具備することを特徴とする請求項1記載のフェーズ・ロック・ループ。

【請求項3】 前記位相検出器から位相検出信号を受信し、その信号を前記直接デジタル・シンセサイザに受信される前に、デジタル形式に変換するアナログ・デジタル変換器を更に具備することを特徴とする請求項1記載のフェーズ・ロック・ループ。

【請求項4】 搬送波周波数に追従する方法であって、入力信号の位相と帰還信号の位相とを比較するステップと、前記比較を示す大きさ信号を発生するステップと、前記大きさ信号をVCOの入力に供給し、前記比較を示す周波数を有する発振信号を発生するステップと、前記発振信号を、信号発生器への周波数クロック信号として使用し、前記入力信号を示す出力信号を発生するステップと、帰還信号として出力信号を運用するステップと、を有することを特徴とする方法。

【請求項5】 搬送波周波数に追従する方法であって、入力信号の位相を帰還信号の位相と比較するステップと前記比較にตอบสนองして、デジタル大きさ信号を発生するステップと前記大きさ信号を直接デジタル・シンセサイザに供給し、前記入力信号を示す出力信号を発生するステップと、を有することを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は搬送波周波数トラッキング・フェーズロック・ループに関し、特に直接デジタル・シンセサイザを有する搬送波周波数追従フェーズ・ロック・ループ(tracking phase-locked loops)に関し、広帯域な搬送波追従及びクロック回復システムを提供する。

【0002】

【従来の技術】 フェーズ・ロック・ループは衛星を追跡するシステムのような搬送波周波数追従システムの分野で一般に知られており、コヒーレントな搬送波及びクロック信号の発生を必要とする変調機能を提供する。これらフェーズ・ロック・ループは、時間と共に広範囲に変化する周波数の搬送波に追従し、それにロック(lock)す

2

る有効な手段を提供する。追従及び変調モードにおいて、フェーズ・ロック・ループは、その搬送波にロックすることにより、及び安定して実質的にノイズのないその搬送波のレプリカ(replica)を発生することにより、周波数の変化する搬送波を再発生する。

【0003】 一般的なフェーズ・ロック・ループは搬送波信号を再生するときに、電圧制御オシレータを必要とする。代表的な電圧制御オシレータ(VCO)は、約1オクターブの最大有効帯域幅を有する。なぜならば、VCOを所望範囲の周波数に同調又は整合する必要があるからである。単一のVCOが1オクターブ以上の帯域をカバーするために用いられるとき、スペクトル純度(spectral purity)は、強い混調波および実効ノイズによって失われる。更に、1オクターブを超えて単一のVCOを正確に調整するためには、VCOにより示される調整の線形度における過渡の変化を補償する能力が必要である。従って、従来のフェーズ・ロック・ループ追従システムは、広範囲の周波数について要求され追従を提供するために、複数のVCOが必要である。

【0004】 図1は複数のVCOを有する一般的なフェーズ・ロック・ループを示す。この図で、入力ライン12上の信号は、時間と共に変化する数周波数を有する広帯域入力である。入力ライン12はフィードバック信号を提供する帰還ライン16と共に、位相検出器14に供給される。位相検出器14からの出力ラインは電圧検分ローパスフィルタ20に入力として供給される。ローパスフィルタ20の出力ライン22はゲイン補償回路24に入力として供給される。ライン26上のゲイン補償回路24の出力は第1スイッチ28に供給される。スイッチ28は複数の出力を有し、これら出力は複数のVCO30に接続される。VCO30の出力は第2スイッチ32に供給され、このスイッチはライン34上に単一の出力"out"を有する。ライン16上のフィードバック信号は出力ライン34から得られ、位相検出器14に供給され、フェーズ・ロック・ループを形成する。

【0005】 動作に関して、位相検出器14は、ライン12上の入力信号の位相をライン16上のフィードバック信号と比較する。ライン18上の位相検出器14の出力は、その位相差を示すDC信号である。ローパス・ループフィルタ20は、それら周波数から得られたDC信号に残留するあらゆるAC成分を排除する。ゲイン補償回路24はローパス・ループフィルタ20から、ライン22上の純粋なDC信号を入力し、異なるループゲインや異なるVCOの調整パラメータ及び入力信号に関係なく、ループゲインを一定値に修正する。ライン26上のゲイン補償回路28の出力は第1スイッチ28に供給される。このスイッチ28は適切なVCOを対象としている周波数の範囲により選択する。各VCO30はDC信号を入力し、その信号を、ライン12上の入力信号のクリーンな代表(representative)信号に変換する。再構成

された入力、単一の出力を発生する第2スイッチ32に供給される。スイッチ32の出力は帰還ライン16を有し、これは位相検出器14に前述されたように供給される。

【0006】ライン12上の入力信号の周波数が変化したとき、ライン12上の入力信号及びライン16上のロックされた信号の位相の変化は、この位相変化を示すためにライン18上のDC信号を修正する。そして位相内の変化に基づいてVCOの出力が変化し、又は異なるVCO30が選択される。これにより、帰還ライン16上の周波数信号は、入力信号12の周波数に整合される。このようにして、ライン12上の入力信号は特定入力周波数にロックできる。これにより、この信号のクリーンな代表信号が、フェーズ・ロック・ループを採用する積分及びダンピング回路、クロックシステムなどのシステムに使用できる。従って、ノイズ、減衰などは大幅に削減され、搬送波周波数を効果的に追従できる。

【0007】図2は他のフェーズ・ロック・ループ追従システム40を示す従来例である。このシステムで、時間と共に変化する周波数を有するライン42上の入力信号は第1スイッチ44に供給される。スイッチ44はこの入力周波数信号を、その周波数に基づいて、複数の異なるフェーズ・ロック・ループ46の中の一つに供給する。各フェーズ・ロック・ループ46は、単一のVCOを有する図1の回路全体を示す。各フェーズ・ロック・ループ46の出力は、第2スイッチ47に供給され、単一の出力を発生する。このシステムは非常に高価で、沢山の冗長なハードウェアを必要とする。更に、各ループ46は独立して調整・整合されなければならない、そして正しい獲得(acquisition)、追跡、安定性、及びノイズの影響をモニタしなければならない。

【0008】

【発明が解決しようとする課題】図1のフェーズ・ロック・ループ10のハードウェアは図2のシステム40より小規模でよいが、冗長な複数のVCOを必要とする。各VCOは、正しいループ性能を維持するために、調整特性と追加の複雑なゲイン補償回路のセットを必要とする。

【0009】図1のシステムに類似する従来の追従システムは、単一のVCOを有する単一のフェーズ・ロック・ループで、このVCOは複数のバラクタ・ダイオード(varactor diode)による調節回路を持っている。従って必要とされるのは、非常に広帯域で調整・整合できる単一のフェーズ・ロック・ループで、そのループはハードウェア及び調整に大幅な削減がみられ、これら削減によるコストの低下である。従ってこの発明の目的は、非常に広帯域に運用でき、スペクトルの高い純度及び最小限のハードウェアを有する追従システムを提供することである。

【0010】

【課題を解決するための手段】この発明の第1実施例によれば、フェーズ・ロック・ループ(PLL)追従システムが提供され、このシステムは、単一の狭帯域電圧制御オシレータ(VCO)及び直接デジタル・シンセサイザ(DDS)を有する。DDSはVビットのレジスタとアキュムレータを含む。アキュムレータ内のビットは、デジタル周波数コマンドワードにより設定され、このコマンドワードは入力の周波数を概算する。このコマンドワードはDDSの荒い調整を示す。狭帯域VCOはクロック信号をアキュムレータに供給し、アキュムレータレジスタの出力レートを調節し、従ってDDSに対する微調整として作用する。アキュムレータの出力はデジタル・アナログ変換器によりアナログ周波数信号に戻される。アナログ周波数信号はPLLの位相検出器に供給される。位相検出器はデジタル・アナログ変換器からのその信号の位相と入力信号とを比較し、VCOの出力を調節するDC信号を提供する。これにより、単一のPLLは非常に広範囲の周波数について使用でき、且つ、高い周波数分解能を維持する。VCOは必要な微調整を提供し、DDSのあらゆる分解能に関する制限を克服する。

【0011】第2実施例によれば、前述の第1実施例のVCOは、Nビットアナログ・デジタル変換器により置き換えられる。位相検出器のDC信号はアナログ・デジタル変換器に供給され、その位相差に比例するデジタルワードを設定する。入力周波数を示すデジタルワードはアナログ・デジタル変換器内に保持される。アナログ・デジタル変換器に対する一定クロック信号は、デジタルワードがDDSのアキュムレータに出力されるときにレートを決定する。一定クロック信号がDDSのアキュムレータに供給され、アキュムレータの出力レートを設定する。アキュムレータのデジタル出力は、デジタル・アナログ変換器によって、アナログ周波数に戻される。調整範囲全体についてのアナログ・デジタル変換器の精度により、ゲイン補償回路の必要性は完全に排除される。

【0012】この発明の他の目的、利点、及び特徴は、図面を参照して行われる特許請求範囲に関する詳細な説明により明確となる。

【0013】

【実施例】この発明の好適実施例に関する以下の説明は、単に本発明の一例を説明するにすぎず、本発明の応用又は使用範囲を制限するものではない。

【0014】図3は図1のフェーズ・ロック・ループ(PLL)10に類似するPLL50であるが、狭帯域電圧制御オシレータ(VCO)68及び以下に説明される直接デジタル・シンセサイザ(DDS)72を有する。PLL50はライン56上のフィードバック信号と、ライン52上の時間と共にその周波数が変化する入力信号を受信する位相検出器54を含む。位相検出器54のライン58上の出力は、ライン52上の入力信号

5

とライン56上の帰還信号の間の位相差を示すDC信号である。ライン58上のDC信号は電圧積分ローパスループフィルタ60に輸入される。ライン62上のループフィルタ60の出力は、ゲイン補償ネットワーク64に供給され、PLL回路50のゲインが修正される。ライン66上の補償ネットワーク64からのゲイン補償された信号は、狭帯域電圧制御オシレータ(VCO)68に供給される。VCO68は、ライン70にAC信号を発生し、この信号は直接デジタル・シンセサイザ72へ入力される。直接デジタル・シンセサイザ72は、
10 荒いデジタル調節回路74から、ライン76上のNビットデジタル周波数コマンドワードを受信する。調節回路74はライン52上の入力信号の周波数を概算する。VCO68からのライン70上のAC信号は、DDS72に対するクロックパルスとして作用する。ライン78上のDDS72からの出力はライン52上の入力信号のクリーンな代表信号で、これは入力信号の周波数にロックされる。そしてライン78上の信号はこの追従システムの他の受信構成要素に供給される。又、ライン56は出力ライン78から得られ、フィードバック信号を位相
20 検出器54に前述のように供給する。

【0015】図4はDDS72の主な回路要素のブロック図である。DDS72の中心部分はアキュムレータ80で、これはVCO68からのライン70上のクロックパルス、及び荒い調整回路74からのライン76上のNビットデジタル周波数コマンドワードを受信する。ライン82上の出力は、アキュムレータ80のMビット出力で、これはライン70上のクロックパルスによってインクリメントされる。ライン82上の信号は、
30 正弦波・ルックアップ・リードオンリー・メモリ(look-up read only memory) (ROM)84に供給される。正弦波ルックアップROMはアキュムレータ80からMビット位相代表を得て、それを位相ビットを示すライン86上のPビット振幅信号に変換する。ライン86上のPビットはデジタル・アナログ変換器88に供給される。デジタル・アナログ変換器88は、ライン86上のPビット信号を、ライン78上のアナログ出力に変換する。この信号は図3のライン52上の入力信号のクリーンな代表信号である。

【0016】動作に関して、位相検出器54は、時間と共に変化するライン52上の入力信号と、ライン56上の帰還信号とを比較する。位相検出器54はそれら2つの信号の間の位相差を示すライン58上のDC信号を発生する。ライン52上の入力信号が周波数を変化させなければ、ライン56上の信号はこの周波数に既にロックされており、従って、DC信号は変化しない。ライン58上のこのDC信号はループフィルタ60に供給され、
40 残留する比較的高い周波数のAC成分のすべてが排除される。ライン62上のDC信号は、ゲイン補償ネットワーク64に供給され、PLL50のループゲインを

6

定に維持する。なぜならば、ライン70と78上の信号周波数の比は、ループが異なる周波数に調整されるときに変化するからである。従って、ライン66上のDC信号は、入力ライン52上の信号周波数の変化と共に線形に変化する。VCO68はライン66上のDC信号をライン70上の狭帯域周波数のAC信号に戻す。

【0017】ライン70上のAC信号は、アキュムレータ80に対するクロックパルスとして作用する。ライン70上の信号がアキュムレータ80に供給される前に、
その信号はレベルシフト回路(level shifting circuit) (図示されず)によってレベルシフトされ、ライン70上のAC信号を、クロックパルスとして一般的な方形波に変換する。更にアキュムレータ80に供給されているのは、荒い調整回路74からのライン76上のデジタルNビット信号である。このNビット信号は、ライン52上の入力信号の概算された周波数のデジタルデータである。時間アキュムレータ80は各々、ライン70上のクロックパルスを受信し、ライン76上のNビットワードアキュムレータ80の以前の内容に追加される。アキュムレータ80のオーバー・フロー・レートは、DDS
72のライン78上の出力周波数を決定し、そしてライン76上のNビットワードと、ライン70上のクロック周波数と、アキュムレータ80内の分解能のビット数の関数である。つまり、0又は1のビットが荒い調整ネットワーク74から、アキュムレータレジスタにどのようなシーケンスでロードされても、それらのビットはライン82上に、狭帯域VCO68からのクロック周波数により示されるレートで出力される。従って、VCO68はDDS72の周波数分解能に関係なく、DDS
72を入力周波数に正確に自動調整させる。ライン82上の出力は、一般に鋸歯形であり、この波形は、VCO68からの微調整クロックパルスにより適合されたデジタル周波数コマンドワードの位相情報を示す。このMビット信号は正弦波ルックアップROM84に供給され、その位相情報が振幅データを有する正弦波ビットに変換される。この振幅を表現する信号は、ROM84からPビット出力ライン86に出力され、デジタル・アナログ変換器88に供給される。デジタルアナログ変換器88は、デジタル信号をライン78上のアナログ信号
50 に戻す。このアナログ信号は、ライン52上の入力信号の周波数にロックされた周波数を有する。アキュムレータ80に供給されたライン76上のNビットの数を、ライン82上のROM84に入力されたMビットの数に等しくするのが最も望ましい。更に、デジタル・アナログ変換器88に入力されたPビットの数を、Nビットに等しくするのが望ましい。ビットの最大数をできるだけ大きく維持することにより、明らかにビット情報、及び周波数分解能を増加することができる。しかし実際的な数として、ROM84及びデジタル・アナログ変換器88のハードウェア的制限によって、ROM84及

7

びDAC 88の使用できるビットは、アキュムレータ80より必然的に少なくなる。LSB(least significant bits)はROM 84及びDAC 88により無視されるので、ROM 84及びDAC 88のビットが少なくとも、アキュムレータのビットをでるかぎり多くするのが望ましい。

【0018】VCO 68、DDS 72、及びPLL 50のこの構成によって、高スペクトル純度でハードウェアの非常に少ない広帯域追従を達成できる。DDS 72は非常に広い帯域で追従する手段を提供し、そして*10

$$f_{RES} = \frac{f_{CL}}{2^N}$$

ここで f_{CL} =ライン70上のアキュムレータ・クロック周波数、及び
N =アキュムレータのビット長
DDS 72のライン78上の出力周波数 f_{out} は※

$$f_{out} = f_{CL} \sum_{n=1}^N a_n 2^{-n}$$

ここで

a_n =アキュムレータのn番目のMSB(most significant bit)のロジック・ステート

式(2)より、出力ライン78上の周波数は、ライン76上のデジタルコマンドワード a_n を調整することにより、又はライン70上のクロック周波数 f_{CL} を調整することにより変化できることが判る。デジタル制御ワード a_n は、荒い予備調整回路74から、DDS 72のアキュムレータ80に供給される。ライン52上の入力周波数に対するこの荒い概算値は、入力ライン52からの正確なロック周波数をデジタル走引(digitally sweep)するか又はデジタル的に予備調整することにより達成される。デジタルカウンタなどのデジタル走引システム(図示されず)は、入力周波数が全く分からないときに使用される。走引システムは、PLL 50が入力周波数にロックするまで、周波数範囲をビット分解能でデジタル走引する。そして走引システムは、PLL 50がアンロックされるまで遮断される。デジタル予備調整システム(図示されず)は、入力周波数の概算値が分かっているときに使用される。

【0022】PLL 50の荒い調整が、これらの方法により達成され、及びライン76上のNビットに供給されると、ライン78上の出力周波数は、アキュムレータ80にクロック周波数を供給するVCO 68の狭帯域により微調整される。VCO 68は微調整装置としてのみ動作し、非常に狭い調整範囲で動作できればよいので、クリスタル、SAW共振器または誘電共振器(dielectric resonators)などの非常に安定した装置を、優れたスペクトル純度をえるために使用できる。どのようなVCOが最も適しているかの決定は、所望クロック周

8

*VCO 68は、DDS 72の周波数分解能に関するあらゆる制限を克服するために、微調整(周波数で1%以下の変化)ループ50のみを必要とする。DDS 72は非常に細かい周波数分解能を達成できるが、具体的展開ステップでの周波数も分解する。VCO 68は次に示すステップで周波数を分解する手段を提供する。

【0019】DDS 72の分解能 f_{out} は次式により与えられる。

【0020】

【数1】

(1)

※次式により与えられる。

【0021】

【数2】

(2)

波数に依存する。従って、DDS 72の分解能に関するあらゆる制限がVCO 68により校正できる。

【0023】代表的DDSは24ビットのアキュムレータ・レジスタを有する。従って、予備調整精度は、クロック周波数の $1/2^{24}$ オーダー(order)で達成できる。これによって、ループ帯域幅は非常に小さくできる一方、PLL 50は適当な直にロックする。実際問題として、代表的DDSは、DCからクロック周波数の40パーセント $0 < f_{out} < 0.4 f_{CL}$ に及ぶ非常に広い調整範囲を持つことができる。周波数の制限は主にDDSのフィルタの忠実度に依存する。

【0024】図5には、150により主に示されるPLL 50の修正が示される。この図で、図3と同一の構成要素は同一の参照番号が付されている。ここでDDS 72はアキュムレータ180により単に置き換えられ、このアキュムレータはライン178上にアキュムレータ180のMSBのアキュムレータ繰り上げを有する。簡単なこのPLL 50は、混調波誘因(harmonic spur)を容認できるクロック回復応用に使用できる。ライン178上の出力信号はアキュムレータ180からのMSBビットのビット・オーバーフローの繰り上げであり、これは又式(2)により示される。ライン178上のデジタル出力はアナログ信号に変換でき、又ある場合には位相検出器54はデジタル信号を受信できる。そのビットの出力レートは、ライン70上のクロックパルスにより変化する。商業的に入手できるアキュムレータは数ギガヘルツで動作するので、図5の構成でかなりの高速度が得られる。

【0025】VCO 68は狭帯域で動作するので、その変調感度又は線形度は、DDS 72が比較的広い帯域

で調整しても、実質的に一定に保たれる。VCO 68の
変調感度 K_{VCO} は次式により示される。

$$K_{VCO} = \frac{df_{out}}{dV_{IN}} \quad (3)$$

ここで、

df_{out} = ライン78上の出力周波数変化、及び

dV_{IN} = ライン66上のDC電圧変化

しかし、DDS 72のゲインは、ループがライン52

上の入力周波数に追従及び調節されるとき、ライン78

上のDDS 72の出力周波数、及びライン70上のク

※ロック周波数の変化比により、実質的に線形に変化する。DDS 72のゲイン K_{DDS} は次式により示される。

[0027]

[数4]

$$K_{DDS} = \frac{df_{DDS}}{df_{VCO}} \quad (4)$$

ここで

df_{out} = ライン78上の出力周波数の変化、及び

df_{VCO} = VCOの出力周波数変化

図6はPLL 250を示す。ゲイン補償ネットワーク

64は、ゲイン補償ネットワーク164により置き代

り、ネットワーク164は複数のデジタル・アナログ変

★換器(DAC)166及びプログラマブル・リード・オンリー・メモリ(PROM)168を含む。DAC 166の電流ゲイン K_{DAC} は次式により示される。

[0028]

[数5]

$$K_{DAC} = \frac{dI_{OUT}}{dI_{IN}} = \frac{M}{I_{IN}} \sum_{n=1}^M b_n 2^{-n} I_{IN} = \sum_{n=1}^M b_n 2^{-n} \quad (5)$$

ここで

dI_{out} = ライン66上の電流変化；

dI_{in} = ライン62内の電流変化；

b_n = DAC 166のn番目のMSBの論理状態；及び

M = DACのビット長

DDSゲイン及びDACゲインは両方とも線形に変化する。Nビットワードは、予備調節ネットワーク74によりアキュムレータに供給されるとき、PROM 168を介してプログラムDAC 166に使用できる。PROM 168の出力は、ライン76上のデジタルコマンドワードにตอบสนองして、ライン170上のDAC 166に供給される。つまり、DAC 166から出力される電流 I_{out} は、DAC 166に入力する電流 I_{in} 、掛ける(multiply)かける、PROM 168に格納されているデジタルワードにより決定される。従って、PLL 250の出力は概算された予備調整周波数に関して補償される。

[0029] 図7には第2の好適実施例が示される。この実施例で、第1の好適実施例のVCO 68は、アナログ・デジタル変換器(A/D) 364に置き代わっている。フェーズ・ロック・ループ350はライン352上に時間と共に周波数に変化する入力信号、及びライン356上の帰還信号を有し、これらは共にPLL 50

に関して説明されたように、位相検出器354に供給される。ライン358上の位相検出器354の出力は、これら2つの信号間を位相差を示すDC信号で、電圧積分器ローパスループフィルタ360に入力され、残留するあらゆる高周波数AC成分が排除される。ライン362上のループフィルタ出力は、第1実施例のようにゲイン補償ネットワーク64及びVCO 68に供給されるのではなく、アナログデジタル変換器364に供給される。アナログ・デジタル変換器364も又、ライン366上の一定サンプリング入力 F_{sample} を有する。アナログ・デジタル変換器364の出力は、N本のライン368に発生し、そしてDDS 370に供給される。DDS 370はライン372上の実質的に一定クロックパルスを有し、このパルスはクロックネットワーク(図示されず)から供給される。ライン374上のDDS 370の出力は、ライン352上の入力信号の再構成であり、特定周波数にロックされ、全てのノイズ要素が除かれている。位相検出器354に供給されるライン356上の帰還信号はライン374のサンプルである。

[0030] 図8はDDS 370の主要構成部品のブロック図である。再び、DDS 370はDDS 72のような主要構成要素を持っている。詳細には、ライン368上のアナログ・デジタル変換器364からの周波数信号のデジタルデータは、Mビット加算器及びレジス

タを有するアキュムレータ376に供給される。一定クロック信号はライン372を介してアキュムレータ376に供給される。アキュムレータ376のMビット出力はM本のライン378を介して、正弦波ルックアップ・リードオンリー・メモリ (ROM) 380に供給される。ROM 380のPビット出力はPビットライン382を介して、デジタル・アナログ変換器384に供給される。デジタル・アナログ変換器384は、デジタル信号を出力ライン374上の周波数信号に戻す。

【0031】動作に関して、図7の実施例のライン362上のDC信号は、図3におけるPLL 50のライン62上のように生成される。ライン362上のDC信号は、アナログ・デジタル変換器364に供給され、この変換器364はその信号をDC信号に対するNビットのデジタルデータに変換する。デジタルデータは、ライン366上の F_{\dots} からのサンプル信号を受信するまで、A/D 364内で保持される。 F_{\dots} はクロックパルスで、PLL 350により決定されるレートで設定される。詳細には、DC信号はA/D 364内のビットを設定し、 F_{\dots} はビットがアキュムレータ376に出力されるレートを調節する。ライン368上のアナログ・デジタル変換器364のNビット出力は、従ってライン352上の入力信号の周波数に比例している。問題を避けるために、アナログ・デジタル変換器364のサンプルレート (F_{\dots} により決定される) はループ帯域幅の10倍にされる。一般に、このサンプルレートは50 KHz以下である。ライン368上のNビット*

*ットはアキュムレータ376に供給される。アキュムレータ376はMビット信号をライン378に出力する。このMビット信号はアナログ・デジタル変換器364からのNビットにより決定され、ライン372を介してクロックパルス F_{\dots} により制御されるレートの信号である。Nをできるかぎり大きくするのが望ましい。なぜなら、Nはアナログ・デジタル変換器364及びDDS 370を組合わせたときの周波数分解能を決定するからである。ライン378上の所望出力周波数の位相のデジタルデータは、正弦波ルックアップROM 380に供給され、それをこの信号の振幅データに変換する。この振幅データは、Pビットライン382からデジタル・アナログ変換器384に供給され、振幅デジタル信号をアナログ信号に戻す。デジタルアナログ変換器384のアナログ出力はライン374に発生する。

【0032】前述したように、ライン374上の出力周波数は、ライン368上のアキュムレータ376へのデジタル入力を調節することにより変化できる。 F_{\dots} は一定なので、これは式(2)により示される。このため、出力周波数の変化は、入力ワードの変化に正確に比例する。従って、変調の感度又は線形度は、アナログ・デジタル変換器364及びアキュムレータの量子化レベル (M) の線形度によってのみ制御される。PLL 350の変調感度 K_{\dots} は次式により与えられる。

【0033】

【数6】

$$K_{mod} = K_{A/D} \cdot K_{DDS} = \left(\frac{M}{\sum_{n=1}^M 2^{-n}} \right) \left(\frac{f_{out,max}}{\sum_{n=1}^M 2^{-n}} \right) = \frac{f_{out,max}}{V_{max}} = \frac{0.4 f_c}{V_{max}} \quad (6)$$

ここで

$K_{A/D}$ = A/D 364の変調感度;

K_{DDS} = DDS 370の変調感度;

M = A/D 364の量子化レベル;

V_{\dots} = フルスケール出力;

f_{\dots} = 0.4 f_c

代表的な16ビット音響アナログ・デジタル変換器に関して、線形度は、DDS 370の全調整範囲で、1/2¹⁶、つまり0.001パーセントである。アナログ・デジタル変換器364のこの線形度の精度により、ダンピング、自然周波数、安定度、及びノイズなどのループ・パラメータを一定に維持するためのあらゆるゲイン補償回路が必要なくなる。この特徴によって、フェーズ・ロック・ループ350は、単一の周波数で調整されテストされることができ、従って調整時間は減少される。

【0034】図9には、主にフェーズ・ロック・ループ450により示される第2実施例の他の特徴が示されている。ループフィルタ360の出力は、ライン366上

のサンプリング信号 F_{\dots} を介して、再びアナログ・デジタル変換器364に供給される。アナログ・デジタル変換器364は一時的にディセーブルされ、一方、ライン454上の外部走引インクリメント・コマンド信号が、ループ出力周波数をループ獲得が達成されるまでデジタルカウンタを駆動する。プログラムカウンタ452の出力はライン456上のNビット出力である。このNビット出力はデジタルリミッター458に供給される。ライン456から入力Nビットラインを介して、ライン460上のデジタルリミッターに供給される入力の設定される。デジタルリミッター458の出力はライン462上のNビットラインで、これはDDS 370に供給される。

【0035】プログラムカウンタ452は、ループ獲得が容易にしかも正確に行われる手段を提供する。図3の予備調整回路に関して説明したように、プログラムカウンタ452はデジタル走引信号を提供する。この信号は、PLL 450が入力周波数にロックするまでDD

13

Sアキュムレータ376を所定量だけインクリメントする。PLL 450がロックモードに一度設定されると、プログラマブルカウンタ452はデジタル的にディセーブルでき、それによりフェーズ・ロック・ループ450の零アップセット(zero upset)が生じる。

【0036】PL 450が所定周波数幅を越えるのを防ぐために、デジタルリミッター458がプログラムカウンタ452とDDS 370の間に設けられ、この所定幅の外側にフェーズ・ロック・ループ450を調節するあらゆるデジタルワードを検出する。リミット値は全

く、時間や温度又は放射によるドリフトを防ぎ、高い精度を提供する。

【0037】DDSは有限周波数分解能を持っているので、特定周波数の分解能に関してわずかな周波数エラーがある。このエラーは、ループの帯域幅をDDSの周波数分解能より広くすることにより排除される。

【0038】前述した実施例は非常に広い獲得周波数、及び追従能力を有するフェーズ・ロック・ループを開示した。このループは高度のスペクトル純度、最小のハードウェアである。これらのフェーズ・ロック・ループにより、複数のループ、複数のVCO、又は複数のパラク

タ調整ダイオードの間に設けられるスイッチングは必要なくなる。更にこれらのフェーズ・ロック・ループは、純粋に位相ロックされたDDSの周波数に関する制限を排除する。

【0039】以上の説明はこの発明の単なる一実施例である。当業者は、前述の説明や図面及び請求の範囲か

14

ら、特許請求の範囲に限定されるような本発明の範囲及び精神から逸脱することなく、様々の変更、修正及び変化を施すことができるものである。

【図面の簡単な説明】

【図1】複数のVCOを有する従来のフェーズ・ロック・ループのブロック図。

【図2】複数のVCOを有する従来の追従システムを示すブロック図。

【図3】本発明の第1実施例によるフェーズ・ロック・ループのブロック図。

【図4】図3の直接デジタル・シンセサイザを示すブロック図。

【図5】図3のフェーズ・ロック・ループを修正した実施例のブロック図。

【図6】ゲイン補償回路を有する図3の実施例のブロック図。

【図7】本発明の第2実施例によるフェーズ・ロック・ループを示すブロック図。

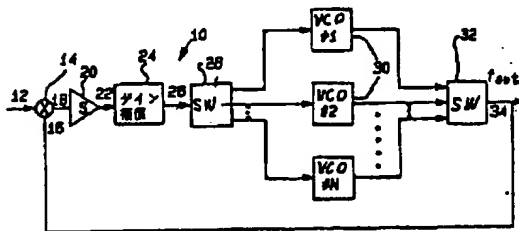
【図8】図7の第2の好適実施例のDDSのブロック図。

【図9】図7のフェーズ・ロック・ループの修正された実施例を示すブロック図。

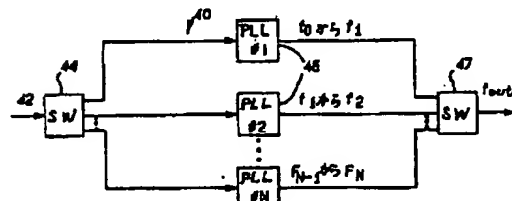
【符号の説明】

56…位相検出器、60…ローパスフィルタ、64…狭帯域電圧制御オシレータ、72…直接デジタル・シンセサイザ、80…アキュムレータ、88…デジタル・アナログ変換器、452…プログラム・カウンタ、458…デジタルリミッター

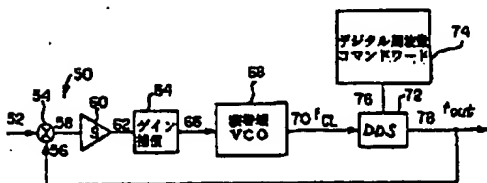
【図1】



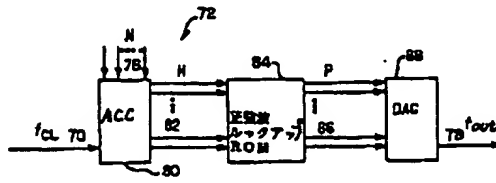
【図2】



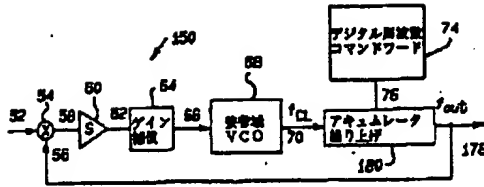
【図3】



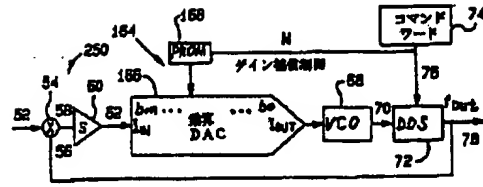
【図4】



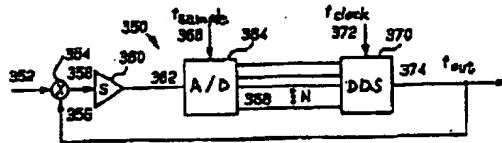
【図6】



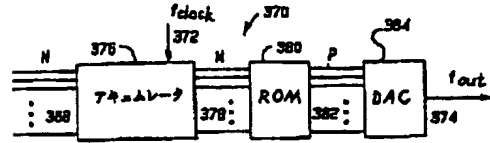
【図6】



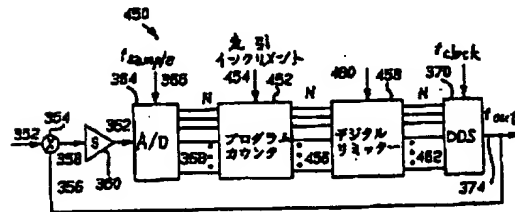
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 ケビン・エム・マツナブ
アメリカ合衆国、カリフォルニア州
90250、ホウソーン、ダブリュ・ワンハン
ドレッドサートイーセカンド・ストリート
4728

